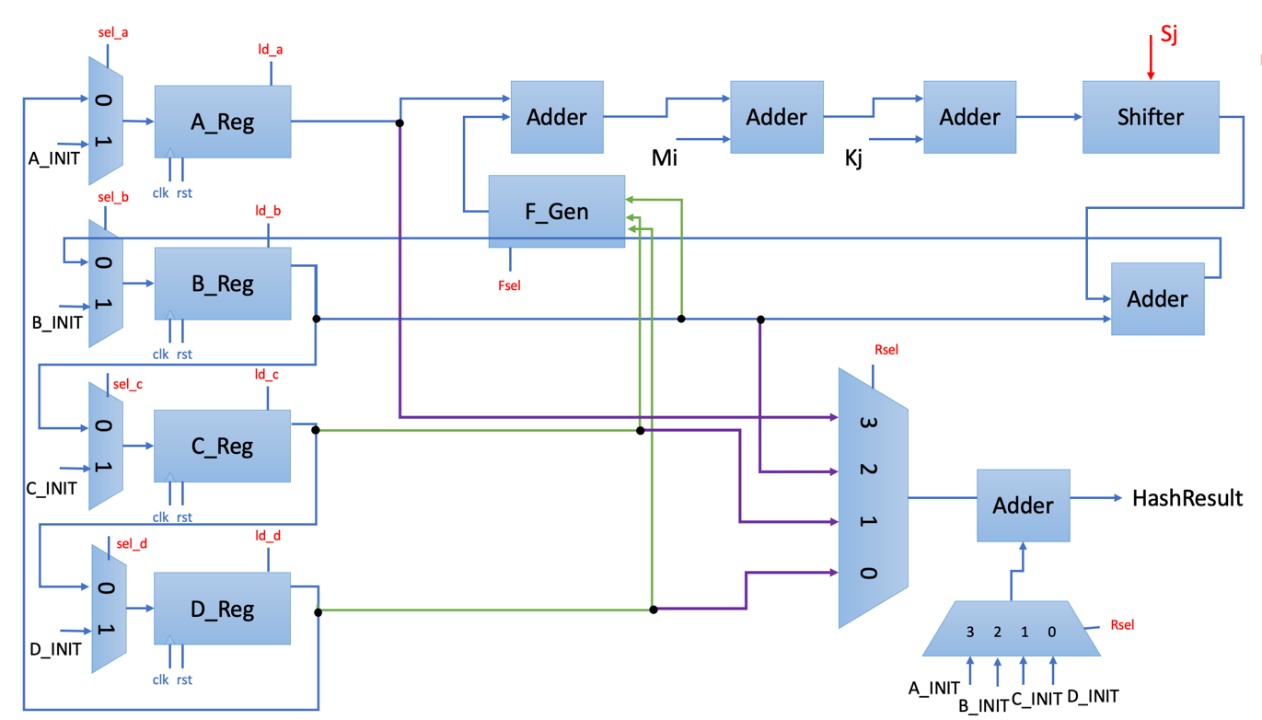
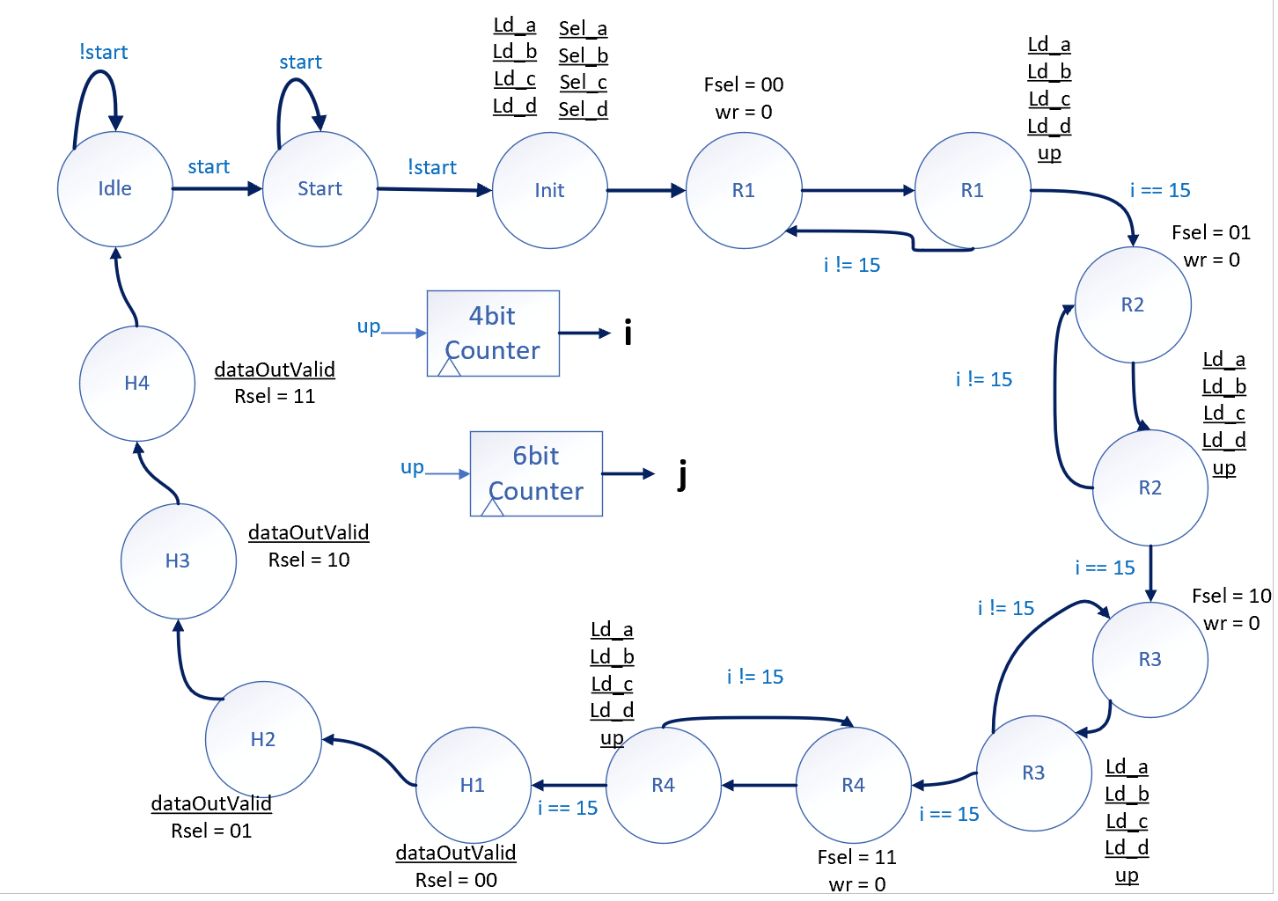
|  |  |  |
| --- | --- | --- |
|  | به نام خدا |  |
| **دانشگاه تهران**  **دانشکدگان فنی**  **دانشکده‌ مهندسی برق و کامپیوتر**  **مدار های منطقی و سیستم های دیجیتال**  گزارش تمرین کامپیوتری ششم  CA 6  نام و نام خانوادگی:  نیلوفر مرتضوی  شماره دانشجویی:  220701096 | | |

|  |
| --- |
|  |
|  |
|  |

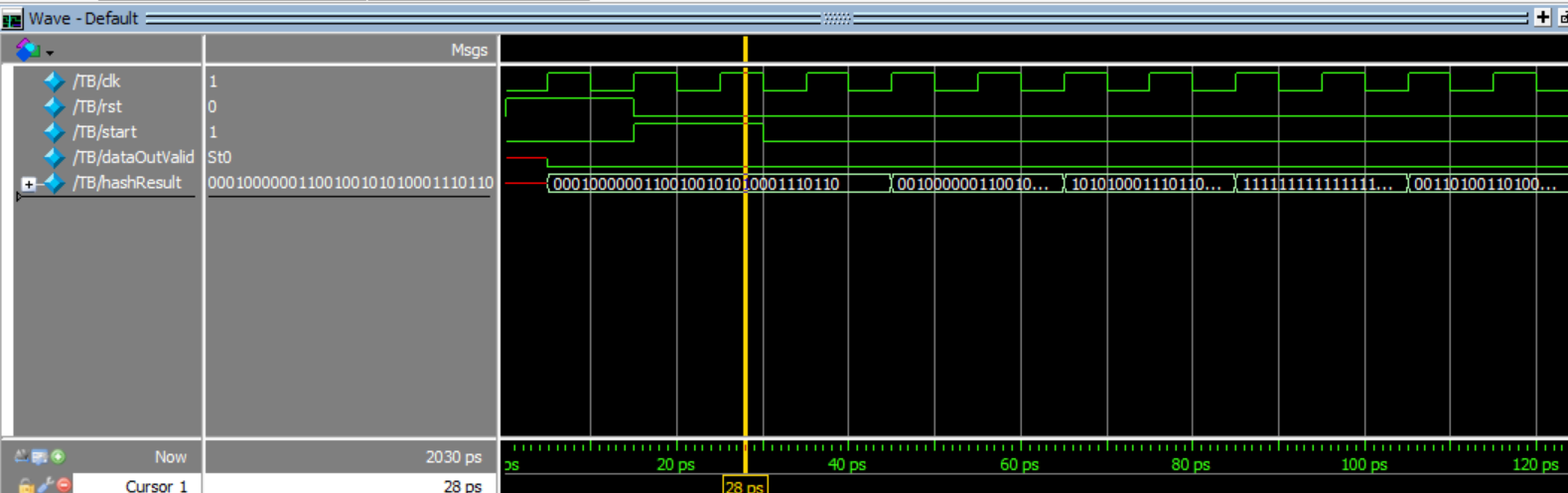
# **Step 1**

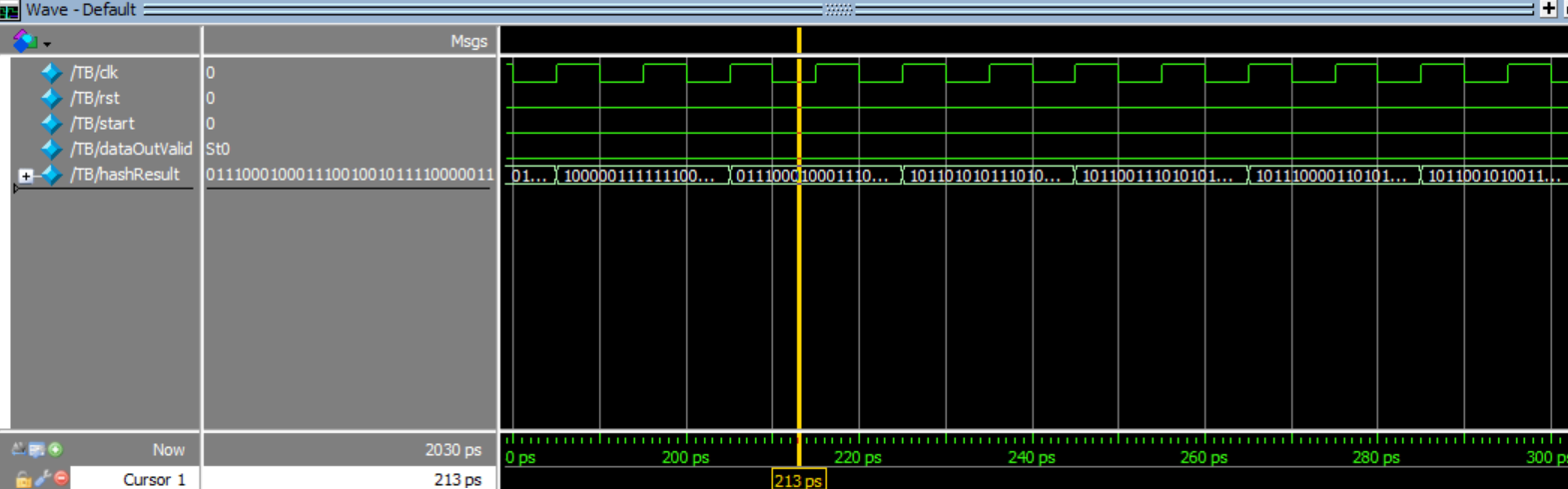
در قدم اول طبق توضیحات داده شده دیتاث را رسم میکنیم:

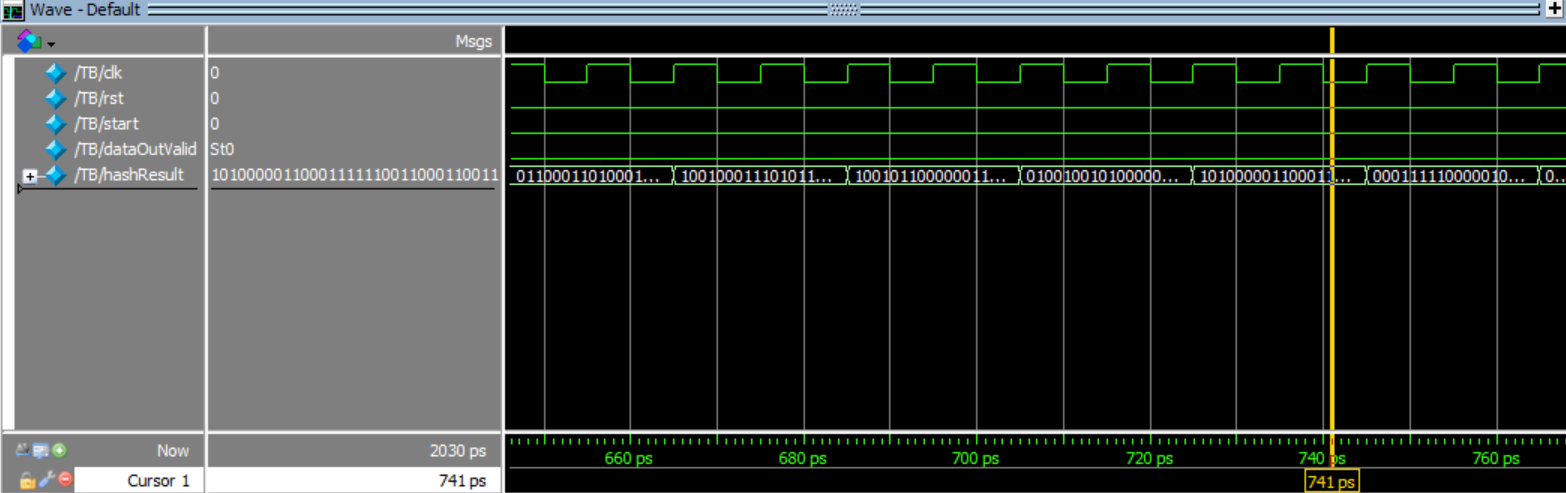
همچنین دیاگرام controller و سیگنال ها به شکل زیر است:

# **Step 2**

در این گام تمامی component ها را در ماژول های مختلف وریلاگ نوشته و یک ماژول کلی طراحی کرده و یک تست بنچ برای بررسی درستی آن نوشتم.





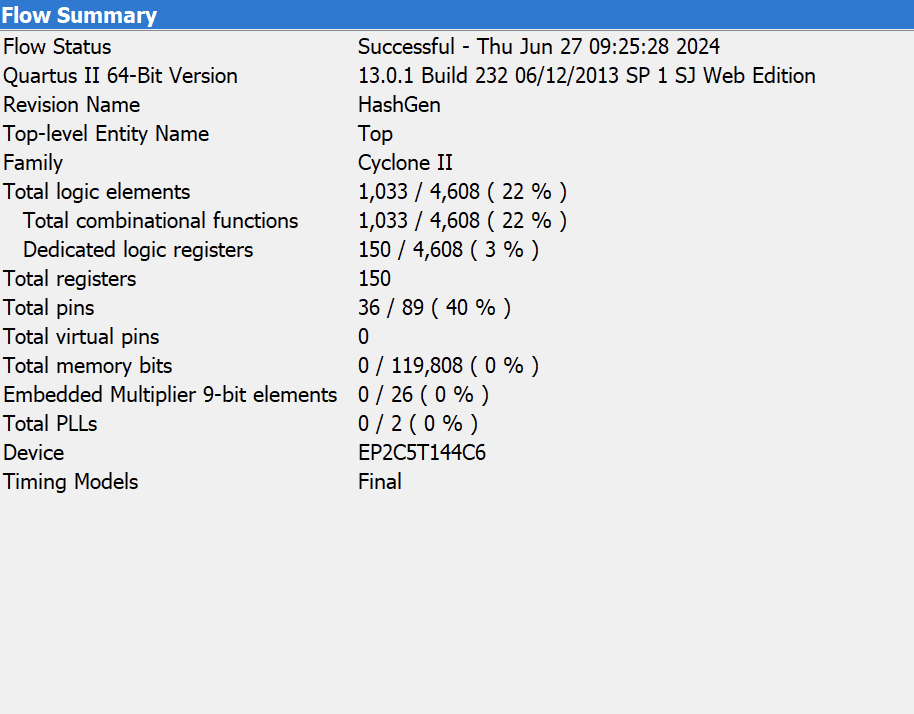


همانطور که در waveform و در قسمتی از آن در عکس ها مشاهده می شود، خروجی ما با خروجی کد داده شده مطابقت دارد که نشان از درستی آن دارد

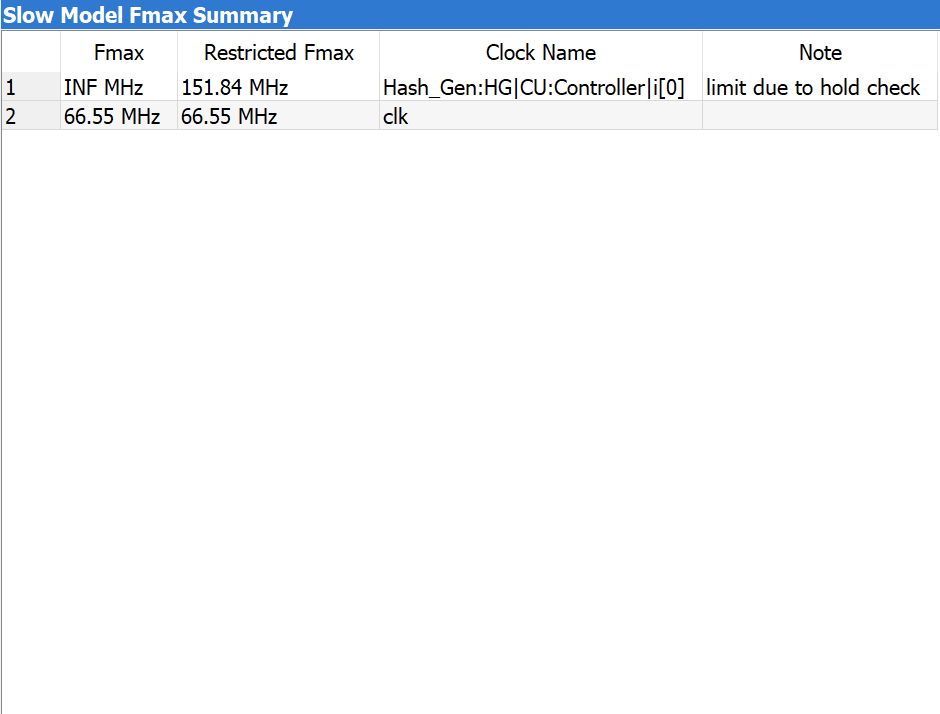
# **Step 3**

ماژول Top نوشته شده که حاوی instant از مموری و Hash Generator است.

خلاصه سنتز در شکل زیر آمده است.

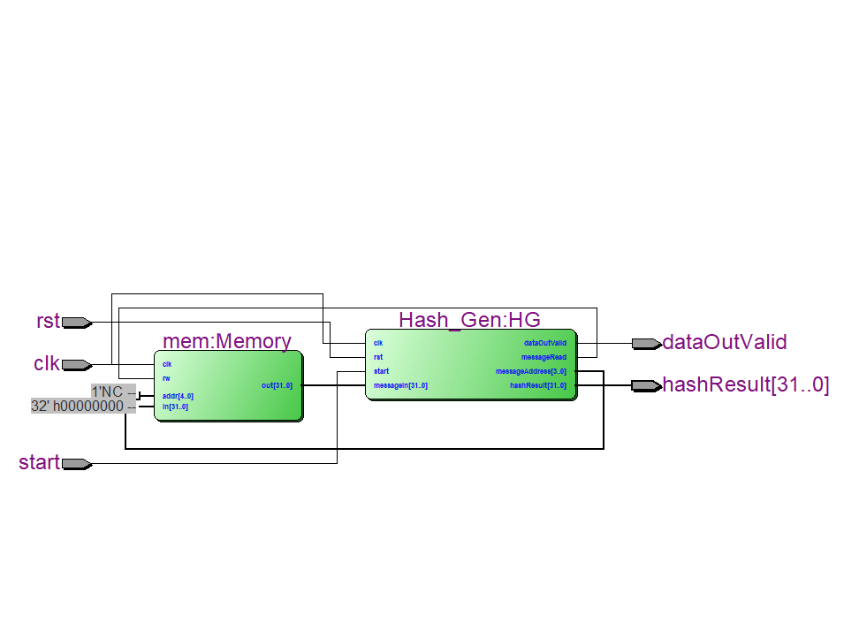


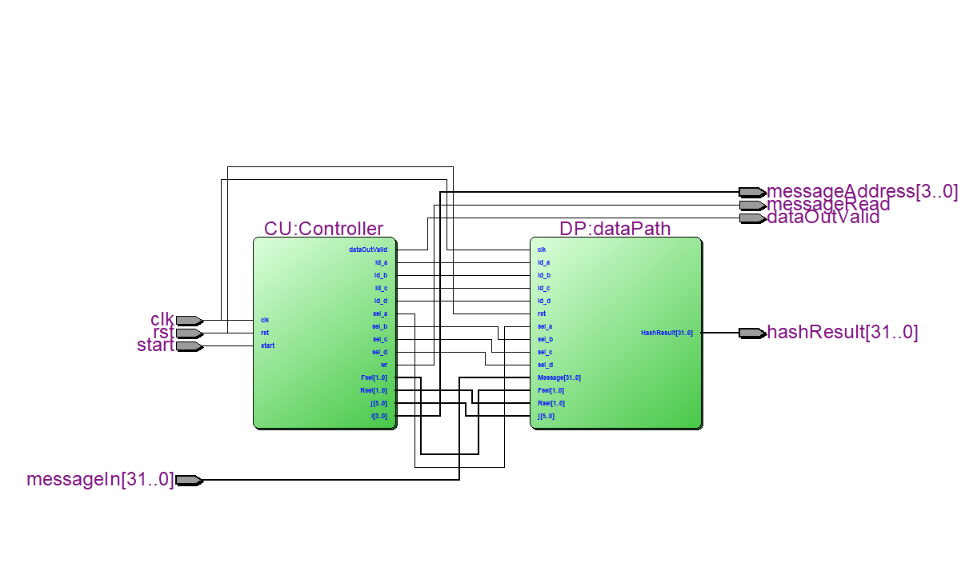
تعداد رجیستر های استفاده شده ۱۵۰ عدد است. فرکانس کلاک در شکل زیر آمده است.

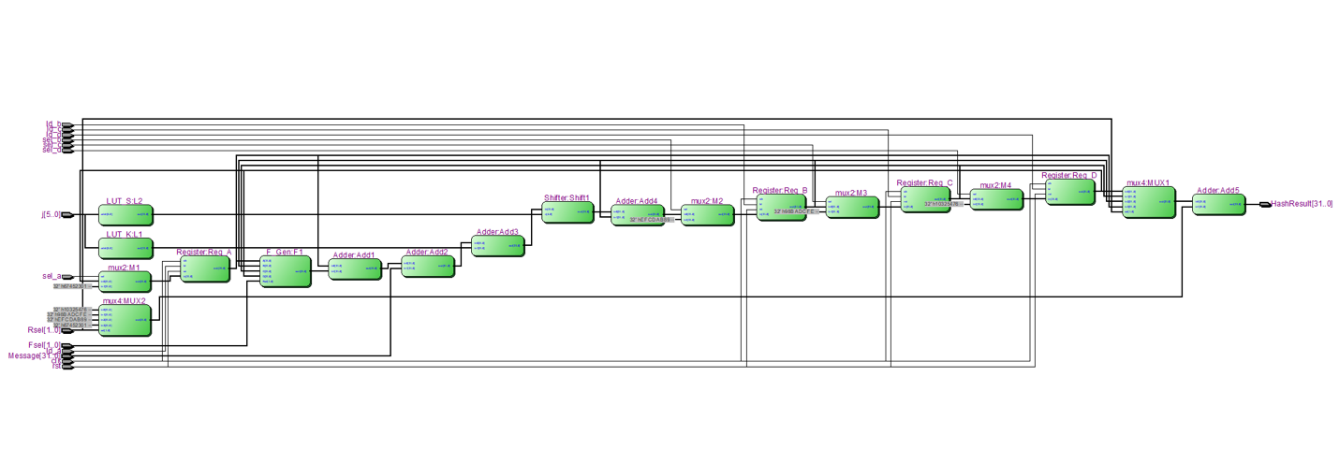


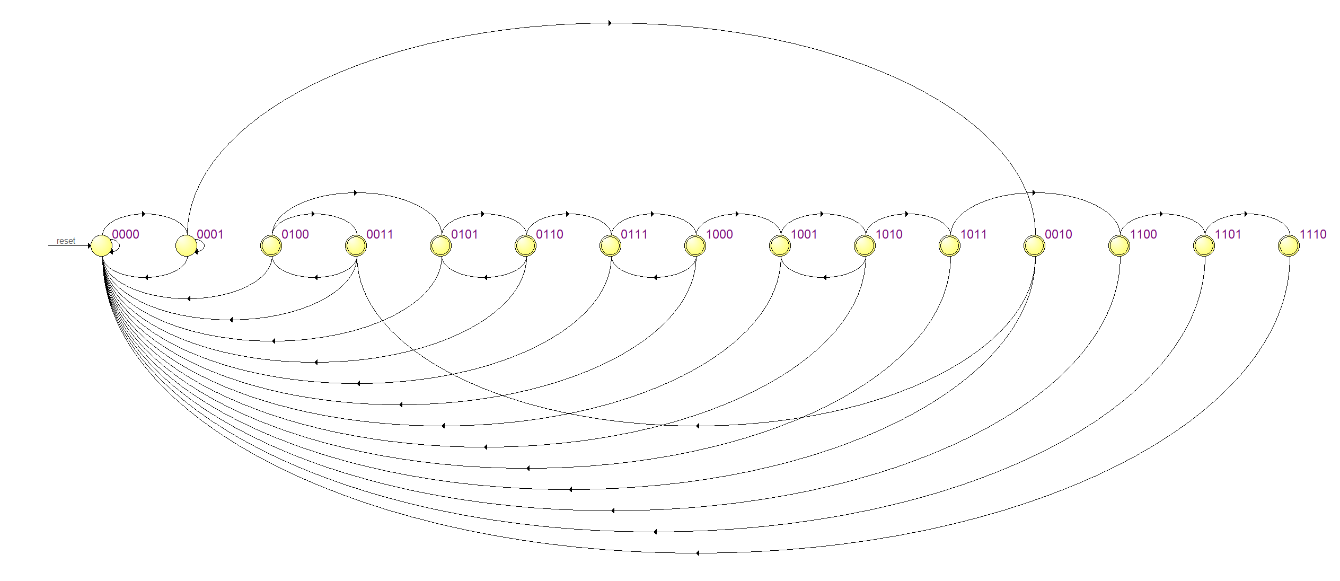
حداکثر فرکانس کلاک برابر ۶۶.۵۵ مگاهرتز است.

ساختار های RTL در شکل زیر آمده اند که دقیقا مشابه طراحی صورت گرفته است.

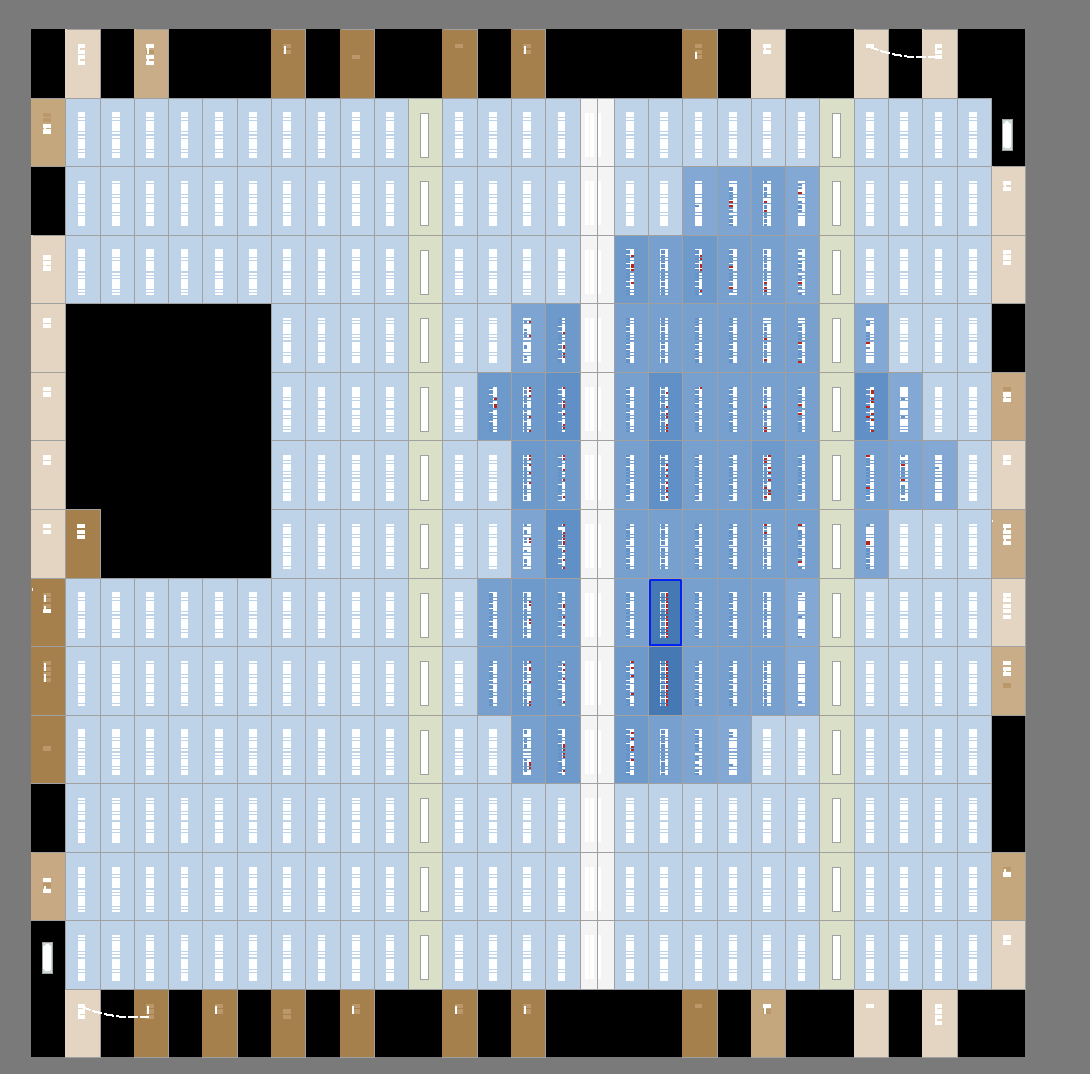




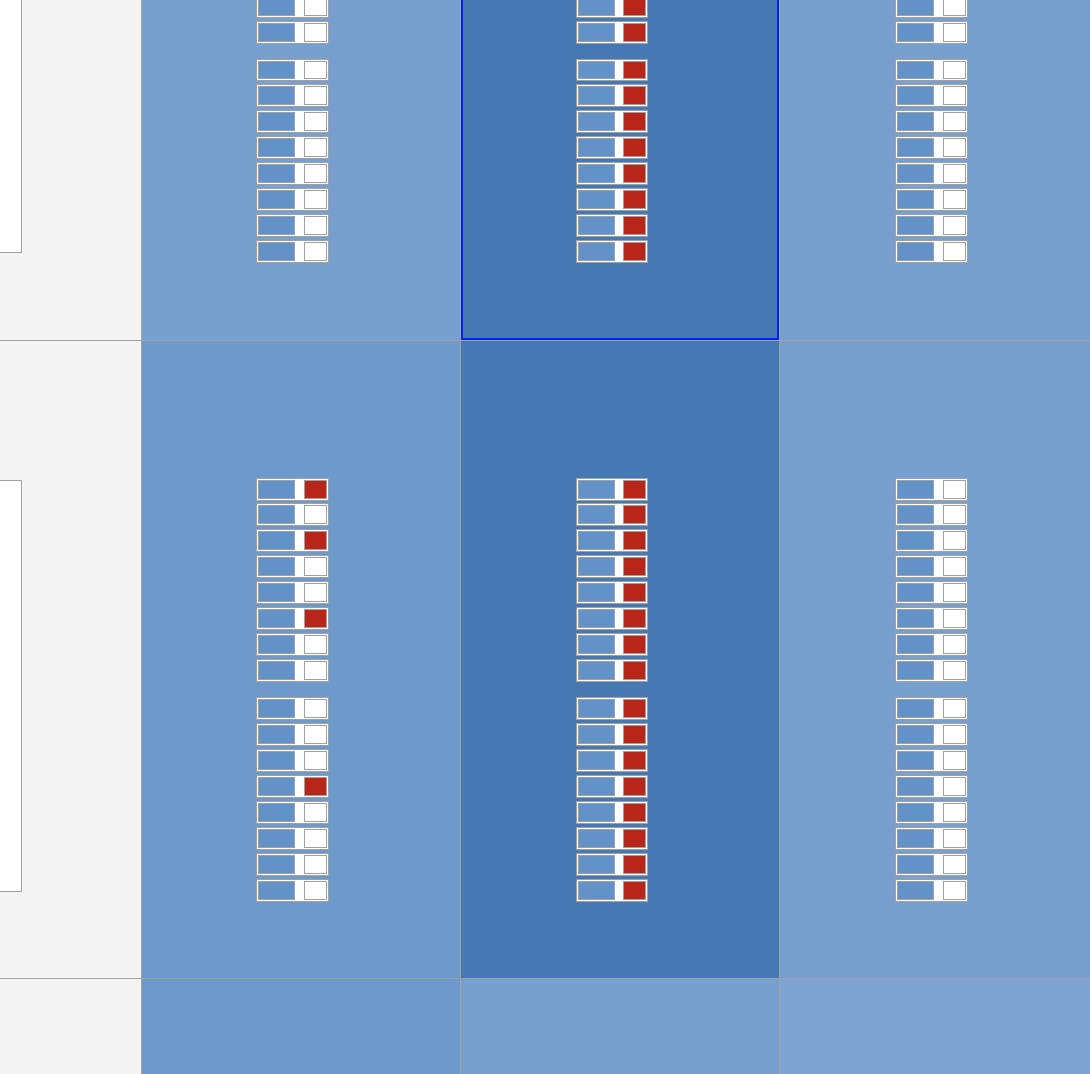


ماشین حالت در شکل زیر آمده است که طبق شکل همان FSM طراحی شده است که به صورت دیگر کشیده شده است.

شکل موردنظر در زیر قابل مشاهده است.



تعداد logic element های هر بلوک ۱۶ عدد است.



برای flexibility بیشتر، هر بلوک دارای دو مستطیل جداگانه است.